

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101071

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 29/78
H01L 21/76
H01L 27/08
H01L 21/336

(21)Application number : 10-265016

(71)Applicant : DENSO CORP

(22)Date of filing : 18.09.1998

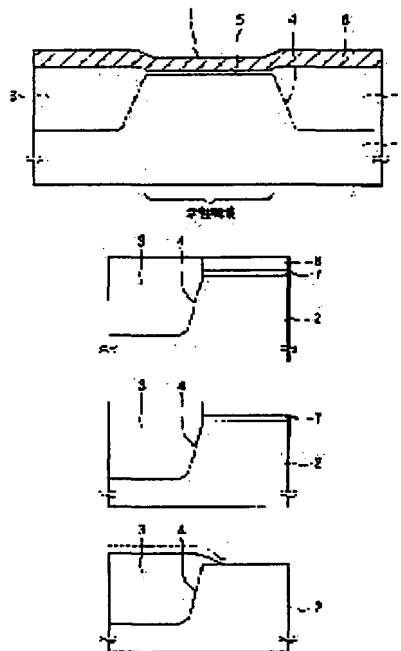
(72)Inventor : TESHIGAWARA AKIHIKO
INAGAKI HIDEYA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the recess at the end of an element isolation part, avoid causing the hump phenomenon or reverse narrow channel effect and avoid deteriorating the gate withstand voltage.

SOLUTION: The manufacturing method comprises etching an Si nitride film 8, heat treating to viscoelastically fluidize a buried oxide film 3, etching a thermally oxidized film 7 and forming a gate electrode 6 through a gate oxide film 5 on a semiconductor substrate 2. Such heat treatment to viscoelastically fluidize the buried oxide film 3, the buried oxide film 3 extruding due to the etching of the Si nitride film 8 is fluidized due to the surface tension to result in a round end form of a trench filler material. Hence even by a transversal etching, the round part serves as a margin to thereby reduce the recess of the buried oxide film 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101071

(P2000-101071A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 R 5 F 0 3 2
21/76		27/08	3 3 1 A 5 F 0 4 0
27/08	3 3 1	21/76	L 5 F 0 4 8
21/336		29/78	6 5 8 F

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-265016

(22) 出願日 平成10年9月18日(1998.9.18)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 勅使河原 明彦

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 稲垣 秀哉

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外1名)

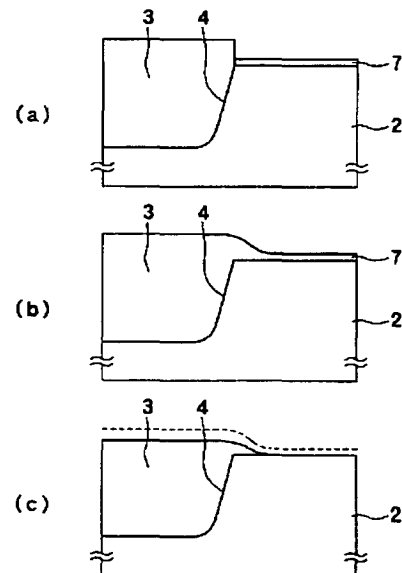
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 素子分離部の端部における凹みを低減し、ハンプ現象や逆狭チャネル効果の発生を防止し、ゲート耐圧低下を防止できるようにする。

【解決手段】 シリコン窒化膜8をエッチングしたのち、熱処理を施して埋め込み酸化膜3を粘弾性流動させる。そして、熱酸化膜7をエッチングしたのち、活性領域において、半導体基板1の上にゲート酸化膜5を介してゲート電極6を形成する。このように、熱処理を施して埋め込み酸化膜3を粘弾性流動化させると、シリコン窒化膜8をエッチングしたことによって突き出した埋め込み酸化膜3が表面張力によって流動し、トレンチ充填材料の端部が丸まった形状になる。このため、横方向エッチングによっても、丸まった形状の部分がマージンとなって、埋め込み酸化膜3の凹みが低減される。これにより、ハンプ現象や逆狭チャネル効果の発生を防止でき、ゲート耐圧低下を防止することができる。



2:シリコン基板
3:トレンチ充填材(シリコン酸化膜)
4:溝
7:シリコン酸化膜

【特許請求の範囲】

【請求項1】 半導体基板（1）を用意する工程と、前記半導体基板（1）の上に第1のマスク層（7）を形成する工程と
前記第1のマスク層（7）の上に第2のマスク層（8）を形成する工程と、
前記第2のマスク層（8）及び前記第1のマスク層（7）の所定領域に開口部を形成すると共に、前記第2のマスク層（8）及び前記第1のマスク層（7）をマスクとして前記開口部よりエッチングを行い、前記半導体基板（1）のうち素子形成を行う活性領域を分離するようにトレンチ（4）を形成する工程と、
前記トレンチ（4）内を含む前記第2のマスク層（8）の上にトレンチ充填材料（3）を成膜したのち、前記トレンチ充填材料（3）を平坦化することにより、該トレンチ充填材料（3）の表面と前記第2のマスク層（8）の表面とを面一にする工程と、
前記第2のマスク層（8）をエッチングする工程と、
熱処理を施し、前記トレンチ充填材料（3）を流動化させる工程と、
前記第1のマスク層（7）をエッチングする工程と、
前記活性領域において、前記半導体基板（1）の上にゲート絶縁膜（5）を形成する工程と、
前記ゲート絶縁膜（5）の上にゲート電極（6）を形成する工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板（1）を用意する工程と、前記半導体基板（1）の上に第1のマスク層（7）を形成する工程と
前記第1のマスク層（7）の上に第2のマスク層（8）を形成する工程と、
前記第2のマスク層（8）及び前記第1のマスク層（7）の所定領域に開口部を形成すると共に、前記第2のマスク層（8）及び前記第1のマスク層（7）をマスクとして前記開口部よりエッチングを行い、前記半導体基板（1）のうち素子形成を行う活性領域を分離するようにトレンチ（4）を形成する工程と、
前記トレンチ（4）内が埋め込まれるように前記第2のマスク層（8）の上にトレンチ充填材料（3）を成膜したのち、前記トレンチ充填材料（3）を平坦化することにより、該トレンチ充填材料（3）の表面と前記第2のマスク層（8）の表面とを面一にする工程と、
前記第2のマスク層（8）をエッチングする工程と、
前記第1のマスク層（7）をエッチングする工程と、
熱処理を施し、前記トレンチ充填材料（3）を流動化させる工程と、
前記活性領域において、前記半導体基板（1）の上にゲート絶縁膜（5）を形成する工程と、
前記ゲート絶縁膜（5）の上にゲート電極（6）を形成する工程と、を備えていることを特徴とする半導体装置

の製造方法。

【請求項3】 半導体基板（1）を用意する工程と、前記半導体基板（1）の上に第1のマスク層（7）を形成する工程と前記第1のマスク層（7）の上に第2のマスク層（8）を形成する工程と、
前記第2のマスク層（8）及び前記第1のマスク層（7）の所定領域に開口部を形成すると共に、前記第2のマスク層（8）及び前記第1のマスク層（7）をマスクとして前記開口部よりエッチングを行い、前記半導体基板（1）のうち素子形成を行う活性領域を分離するようにトレンチ（4）を形成する工程と、
前記トレンチ（4）内が埋め込まれるように前記第2のマスク層（8）の上にトレンチ充填材料（3）を成膜したのち、前記トレンチ充填材料（3）を平坦化することにより、該トレンチ充填材料（3）の表面と前記第2のマスク層（8）の表面とを面一にする工程と、
前記第2のマスク層（8）をエッチングする工程と、
熱処理を施し、前記トレンチ充填材料（3）を流動化させる工程と、
前記第1のマスク層（7）をエッチングする工程と、
熱処理を施し、前記トレンチ充填材料（3）を流動化させる工程と、
前記活性領域において、前記半導体基板（1）の上にゲート絶縁膜（5）を形成する工程と、
前記ゲート絶縁膜（5）の上にゲート電極（6）を形成する工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項4】 前記トレンチ充填材料（3）として、ボロンとリンのいずれかを含有する酸化シリコンを用いることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置の製造方法。

【請求項5】 前記トレンチ充填材料（3）による前記トレンチ（4）の埋め込みは、複数の層を成膜することにより行い、この複数の層の一層目として、ボロンとリンのいずれかを含有する酸化シリコンを成膜することを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置の製造方法。

【請求項6】 前記熱処理工程は、水蒸気を加えた雰囲気で行うことを特徴とする請求項1乃至5のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、STI（Shallow Trench Isolation）にて素子間分離を行う半導体装置の製造方法、例えば大電力用の縦型絶縁ゲート型電界効果トランジスタ（以下、縦型パワーMOSFETという）の製造方法に関する。

【0002】

【従来の技術】従来、半導体集積回路の素子間分離法として選択酸化法（LOCOS酸化）が広く使用されてい

たが、この選択酸化法では素子間分離幅の微細かに対し分離能力を維持することが困難であることから、これに代わる新しい素子間分離技術としてSTIが注目されている。

【0003】図7、図8にSTI構造を適用した半導体装置の製造プロセスを示し、この製造プロセスについて説明する。まず、図7(a)に示すように、シリコン基板51上に熱酸化膜52を形成し、その上にシリコン窒化膜53を気相成長法により堆積する。そして、レジスト54を塗布し、図7(b)に示すように、素子分離領域のレジスト54を開孔し、ドライエッチングにより下層に位置するマスク層としての熱酸化膜52とシリコン窒化膜53を開孔する。

【0004】次に、図7(c)に示すように、トレンチエッチングを施した後、レジスト54を除去する。そして、トレンチ深さ及びマスク層52、53の膜厚以上の酸化膜55を気相成長法等により堆積し、トレンチ内を酸化膜55で充填したのち、CMP研磨等により平坦化処理を施し、マスク層52、53の上面と酸化膜55の上面を一致させる。以下、トレンチ内を埋め込んだ酸化膜55を埋め込み酸化膜という。

【0005】続いて、図8(a)に示すように、窒化膜53をりん酸で、また酸化膜52をフッ酸でウェットエッチングすることによりマスク層を除去する。これにより、トレンチ内の埋め込み酸化膜55はシリコン基板51の上面より突き出した形状となる。このとき、ウェットエッチングの等方性により、突き出した埋め込み酸化膜55の側面からもエッチングが進むため、素子分離部の端部(埋め込み酸化膜55の端部)に凹みが生じる。

【0006】さらに、シリコン基板1の表面の犠牲酸化、フッ酸処理等の工程を経ると、図8(b)に示すように、上記素子分離部の端部の凹みが進行する。そして、図8(c)に示すように、ゲート酸化膜56を形成すると共にその上にポリシリコンゲートを成膜・パターンニングしてゲート電極57を形成し、さらにソース・ドレイン領域(図示せず)を形成する等して、MOSトランジスタ構造が完成する。

【0007】

【発明が解決しようとする課題】一般的に、STI構造では素子分離部の端部、つまり活性領域の端部の形状の急峻性により、その上部にあるゲート電極電位による電界集中が該端部に生じるため、この部分にしきい値電圧の低い寄生トランジスタが形成され、トランジスタのサブスレッショルド領域で寄生トランジスタの特性が本来のトランジスタ特性に合成されてしまうハンプと言われる現象が生じやすくなる。また、活性領域の端部に形成されるしきい値電圧の低い寄生トランジスタが影響して逆狭チャネル効果が生じるということも報告されている。

【0008】そして、図8(c)に示されるように、従

来方法によると素子分離部の端部に凹みが生じるため、ゲート下の酸化膜層が薄くなってしまい上記ハンプ現象および逆狭チャネル効果が顕著となる。さらに、ゲート酸化前の状態で素子分離部の端部に凹みが生じて、シリコン基板51の肩部(トレンチ開口部の角部)が露出すると、この肩部で応力集中が生じるためゲート酸化膜の薄膜化が生じ、上記ハンプ現象および逆狭チャネル効果をより顕著にする。

【0009】また、素子分離部の端部の凹みが大きい場合には、ゲート配線の断線・短絡等の問題も発生する。本発明は上記問題に鑑みて成され、素子分離部の端部における凹みを低減し、ハンプ現象や逆狭チャネル効果の発生を防止し、ゲート耐圧低下を防止できる半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題を解決するために、本発明は以下の技術的手段を採用する。請求項1に記載の発明においては、第2のマスク層(8)をエッチングしたのち、熱処理を施してトレンチ充填材料(3)を流動化させ、さらに、第1のマスク層(7)をエッチングしたのち、活性領域において、半導体基板(1)の上にゲート絶縁膜(5)を形成すると共に、ゲート絶縁膜(5)の上にゲート電極(6)を形成することを特徴としている。

【0011】このように、第2のマスク層(8)をエッチングしたのち、熱処理を施してトレンチ充填材料(3)を流動化させると、第2のマスク層(8)をエッチングしたことによって突き出したトレンチ充填材料(3)が表面張力によって流動し、トレンチ充填材料(3)の端部が丸まった形状になる。このため、第1のマスク層(7)をエッチングするとき等に生じる横方向エッチングによっても、丸まった形状の部分でマージンを見込むことができ、トレンチ充填材料(3)に凹みが形成されることを低減できる。これにより、ハンプ現象や逆狭チャネル効果の発生を防止でき、ゲート耐圧低下を防止することができる。

【0012】また、請求項2に示すように、第1のマスク層(7)をエッチングした後に、熱処理を施してトレンチ充填材料(3)を流動化させてもよい。このようにしても、トレンチ充填材料に凹みが形成されることを低減することができ、請求項1と同様の効果が得られる。なお、請求項3に示すように、第2のマスク層(8)をエッチングしたのち、熱処理を施してトレンチ充填材料(3)を流動化させ、さらに第1のマスク層(7)をエッチングした後に、熱処理を施してトレンチ充填材料(3)を流動化させるという、複数回に渡ってトレンチ充填材料(3)を流動化させればより凹みが形成されることを低減できる。

【0013】請求項4に記載の発明においては、トレンチ充填材料(3)として、ボロンとリンのいずれかを含

有する酸化シリコンを用いることを特徴としている。このように、トレンチ充填材料(3)として、ボロンとリンのいずれかを含有する酸化シリコンを用いれば、トレンチ充填材料(3)が流動化する温度を低温化することができる。

【0014】また、請求項5に示すように、トレンチ充填材料(3)による前記トレンチ(4)の埋め込みは、複数の層を成膜することにより行い、この複数の層の一層目として、ボロンとリンのいずれかを含有する酸化シリコンを成膜するようにしてもよい。なお、このように、ボロンとリンのいずれかを含有したトレンチ充填材料(3)を用いる場合には、トレンチ充填材料(3)とトレンチ(4)の内壁との間に酸化膜(10)を介在させるようにすることで、トレンチ充填材料(3)から半導体基板(1)へのボロンやリンの拡散を防止することができる。

【0015】請求項6に記載の発明においては、熱処理工程は、水蒸気を加えた雰囲気にて行うことを特徴としている。このように、雰囲気に水蒸気を加えることにより処理温度の低温化、あるいは同じ熱処理温度であるならば処理時間を短縮化することができる。

【0016】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態)図1に本発明の一実施形態を適用して形成したMOSFET1の断面構成を示す。

【0017】MOSFET1は、シリコン基板2のトレンチ3に埋め込まれた埋め込み酸化膜3によって素子分離された活性領域に形成されている。なお、埋め込み酸化膜3は、シリコン基板2に形成されたトレンチ4内を酸化膜で埋め込んで形成されたものである。活性領域において、シリコン基板2の表面にはゲート酸化膜5が形成されており、このゲート酸化膜5を介してシリコン基板2の上にゲート電極6が形成されている。本図では、ゲート電極6は隣り合う埋め込み酸化膜3同士の間を繋ぐように形成されている。なお、図示されていないが、活性領域におけるシリコン基板2の表層部のうち、ゲート電極6よりも紙面手前側にはソースが形成されており、ゲート電極6に対してソースの反対側にはドレインが形成されている。

【0018】このように構成されるMOSFET1の製造方法について、図2～図3に示す製造工程図に基づいて説明する。

〔図2(a)に示す工程〕まず、シリコン基板2上に340Åの熱酸化膜7を形成し、その上に厚さ1500Åのシリコン窒化膜8を形成する。そして、レジスト9を塗布する。

【0019】〔図2(b)に示す工程〕素子分離領域を露光することにより、レジスト9のうちの素子分離領域を開口させたのち、異方性エッチングにより上記シリコ

ン窒化膜8と熱酸化膜7を開口させる。

〔図2(c)に示す工程〕レジスト9、シリコン窒化膜8、及び熱酸化膜7をマスクとしてシリコン基板2の表面をエッチングし、トレンチ4を形成する。このトレンチ4の深さは素子分離特性などによって選択されるが、例えば2000～8000Å程度としている。そして、レジスト9を除去する。

【0020】〔図2(d)に示す工程〕シリコン酸化膜を堆積してトレンチ4を充填する。以下、このシリコン酸化膜を埋め込み酸化膜3という。そして、機械科学的研磨(CMP研磨)等の平坦化手法によってシリコン窒化膜8と埋め込み酸化膜3の上面を面一とする。

〔図3(a)に示す工程〕マスク材のシリコン窒化膜8をリン酸によりウェットエッチング除去する。これにより、埋め込み酸化膜3がシリコン基板2の表面より上に突き出した状態となる。以下、この突き出し部分をピラーという。

【0021】〔図3(b)に示す工程〕熱処理を施す。これにより、トレンチ4に充填された埋め込み酸化膜3は粘弾性流動を示し、表面張力により埋め込み酸化膜3のピラーの端部(急峻部)の平坦化が生じる。このため、ピラーの端部が丸まった形状となる。このとき、埋め込み酸化膜3は部分的に活性領域まで達した状態、つまりピラーの側壁まで流動した状態となる。

【0022】この粘弾性流動を示す温度は、埋め込み酸化膜3に無添加のシリコン酸化膜を使用している場合には、900～1000℃以上である。なお、半導体素子形成等のためにウェル層の拡散を行う工程があれば、その拡散のための熱処理と本工程における熱処理を兼用すれば、製造工程の簡略化を図ることも可能である。

〔図3(c)に示す工程〕シリコン酸化膜と共に、部分的に平坦化された埋め込み酸化膜3をウェットエッチングにより除去する。このウェットエッチングにおいて、埋め込み酸化膜3のうちピラーの側壁まで流動した部分が横方向エッチングに対するマージンとして機能し、トレンチ4内に介在する埋め込み酸化膜3に凹みが発生しない。

【0023】また、この後ゲート酸化前の仮酸化膜除去等の工程を行った場合に、フッ酸エッチングが成されたとしても、ピラーの側壁まで流動した埋め込み酸化膜3のマージンによりトレンチ4内に介在する埋め込み酸化膜3に凹みが発生することを抑制することができる。この後、ゲート酸化を行ってゲート酸化膜5を形成したのち、ポリシリコンを堆積したのちパターニングしてゲート電極6を形成し、さらにゲート電極6をマスクとしてソース・ドレインを形成する等してMOSFET1が完成する。

【0024】このように、シリコン基板2にトレンチ4を形成するためのマスクとして用いるシリコン窒化膜8を除去することによって突き出した埋め込み酸化膜3を

熱処理によって粘弾性流動させることで、ピラーの端部を平坦化させることができる。そして、この平坦化させた部分にて、ウェットエッチングにおける横方向エッチングのマージンとでき、トレンチ4内に介在する埋め込み酸化膜3に凹みが発生することを十分に抑制できる。

【0025】これにより、埋め込み酸化膜3の凹みによってゲート電極6の下に酸化層が薄くなることを防止できるため、ハンブ現象や逆狭チャネル効果の発生を防止でき、ゲート耐圧低下を防止することができる。

(第2実施形態) 本実施形態におけるMOSFET1の製造方法を図4、図5に基づいて説明する。なお、本実施形態におけるMOSFET1の基本的構造は第1実施形態と同様であるため、第1実施形態と同様の構成に同じ符号を付して説明は省略する。また、本実施形態におけるMOSFET1の製造方法において第1実施形態と同様の部分は第1実施形態を参照する。

【0026】〔図4(a)に示す工程〕まず、第1実施形態に示した図2(a)～図2(d)と同様の工程を施し、トレンチ4内に埋め込み酸化膜を形成する。

〔図4(b)に示す工程〕この後、シリコン窒化膜8および熱酸化膜7をエッチングにより除去する。このとき、ウェットエッチングの等方性により、突き出た埋め込み酸化膜3の側面からもエッチングが進むため、素子分離部の端部に凹みが生じる。

【0027】〔図4(c)に示す工程〕さらに、シリコン基板2表面の犠牲酸化、フッ酸処理等の工程を経て上記素子分離部の端部の凹みが進行する。

〔図5(a)に示す工程〕熱処理を施す。これにより、トレンチ4に充填された埋め込み酸化膜3が粘弾性流動を示す。このため、素子分離部の端部の凹みが緩和される。

【0028】なお、このとき行う熱処理の条件を選択することにより、ゲート酸化工程と兼用することも可能である。

〔図5(c)に示す工程〕そして、ゲート酸化膜5を形成したのち、ゲート電極6を形成することにより、MOSFET1が完成する。

【0029】このように、ゲート電極6を成膜する前の工程で熱処理を施すことにより、素子分離部の端部における凹みを緩和することができ、第1実施形態と同様の効果を得ることができる。

(他の実施形態) 第1実施形態では窒化シリコン膜をリン酸によってウェットエッチングした直後の熱処理、第2実施形態ではゲート材であるポリシリコン成膜直前の熱処理で、それぞれ素子分離部の端部の凹みを低減する場合を示すが、この凹みを低減するための熱処理は、窒化シリコン膜を除去した工程からポリシリコンを成膜する直前の工程までの間においてどの時点で行っても上記と同様の効果を得ることができる。また、この中間工程における熱処理を複数回行ってもよい。さらに、この間

にウェルの拡散工程や酸化膜形成工程を行う場合があれば、それらの工程と熱処理工程とを兼用することもできる。

【0030】また、第1、第2実施形態において、トレンチ4を形成したのち、図6(a)に示すように熱酸化処理を施してトレンチ4の内壁に酸化膜10を形成し、この酸化膜10上に埋め込み酸化膜3を形成するようにしてもよい。これにより、トレンチ4の形成のためのエッチングで生じたシリコン表面のダメージを除去することができ、接合リーク電流等を低減することができるという効果が得られる。

【0031】さらに、第1実施形態では、トレンチ充填材料として無添加のシリコン酸化膜を使用した場合を示して説明したが、トレンチ充填材料(例えば、シリコン酸化膜)にボロンやリン等を添加してもよい。この場合、粘弾性流動化温度の低温化を図ることができる。例えば、重量パーセントが4%程度のリン、3%程度のボロンをシリコン酸化膜に添加した場合、800～850℃程度以上の温度で粘弾性流動化する。

【0032】また、トレンチ充填材料を全てこのようにボロンやリンを充填した材料に置き換える必要はなく、トレンチ4を充填するにあたって、まずボロンやリンを充填した低融点材料を使用してトレンチ4の内壁上を低融点材料で成膜したのち、ボロン等が添加されていない材料でトレンチ4の中を埋め込むようにした2層構造としてもよい。この場合、ピラーの端部は低融点材料で構成されているため、上記と同様に熱処理温度を低温化することが可能である。

【0033】なお、ボロンあるいはリンを添加したシリコン酸化膜でトレンチ4を埋め込む場合には、シリコン基板2にボロンあるいはリンが拡散することを防止できるように、ボロンやリン等を添加していない酸化膜をシリコン基板2と低融点材料との間に挟み混む構成とするのがよい。また、トレンチ充填材料の流動化を目的とした熱処理において、その雰囲気中に水蒸気を加えることにより処理温度の低温化、あるいは同じ熱処理温度であるならば処理時間を短縮化することができる。この雰囲気への水蒸気の導入方法としては、水素と酸素を独立供給し熱処理炉内で反応させる水素燃焼法(パイロジェニックス法)等が適用できる。

【0034】例えば、重量パーセントが4%程度のリン、3%程度のボロンをシリコン酸化膜に添加したものをトレンチ充填材料として使用する場合、このトレンチ4充填材料に対して水素、酸素の流量を共に5リットル/分、処理温度850℃の熱処理を行うことにより粘弾性流動が促進することができることが確認されている。

【図面の簡単な説明】

【図1】 本発明の一実施形態を適用して形成したMOSFET1の断面図である。

【図2】 図1に示すMOSFET1の製造工程を示す図

である。

【図3】図2に続くMOSFET 1の製造工程を示す図である。

【図4】第2実施形態におけるMOSFET 1の製造工程を示す図である。

【図5】図4に続くMOSFET 1の製造工程を示す図である。

【図6】他の実施形態におけるMOSFET 1の製造工程を示す図である。

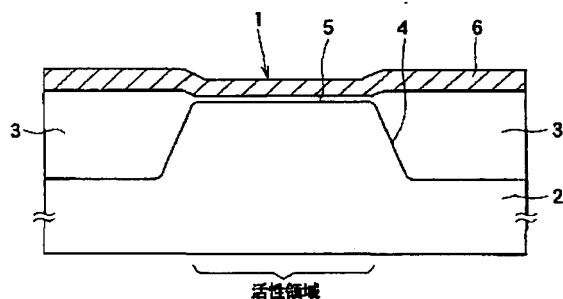
【図7】従来におけるMOSFET 1の製造工程を示す図である。

【図8】図7に続くMOSFET 1の製造工程を示す図である。

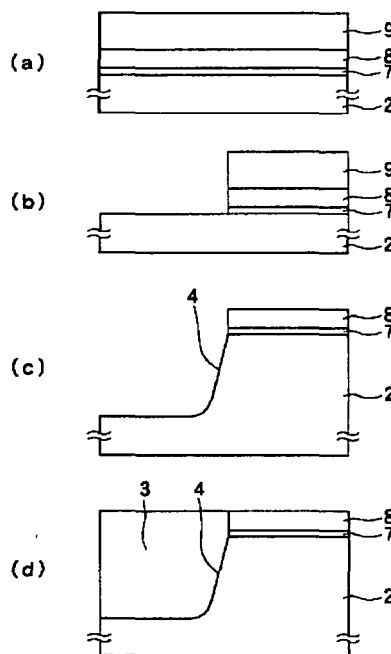
【符号の説明】

1…MOSFET、2…シリコン基板、3…埋め込み酸化膜、4…トレンチ、5…ゲート酸化膜、6…ゲート電極、7…熱酸化膜、8…シリコン窒化膜、9…レジスト。

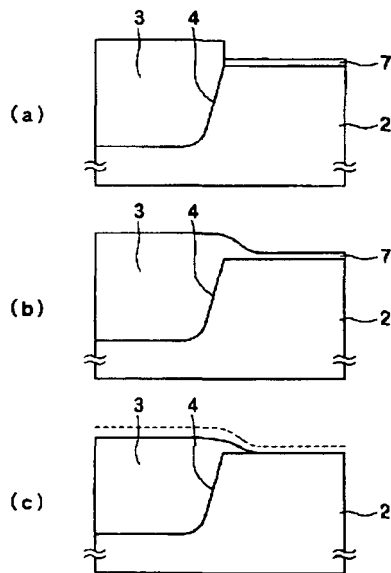
【図1】



【図2】

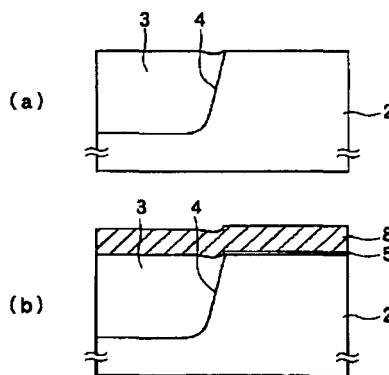


【図3】

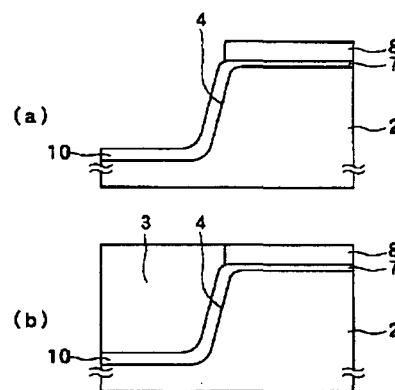


2:シリコン基板
3:トレンチ充填材(シリコン酸化膜)
4:溝
7:シリコン酸化膜

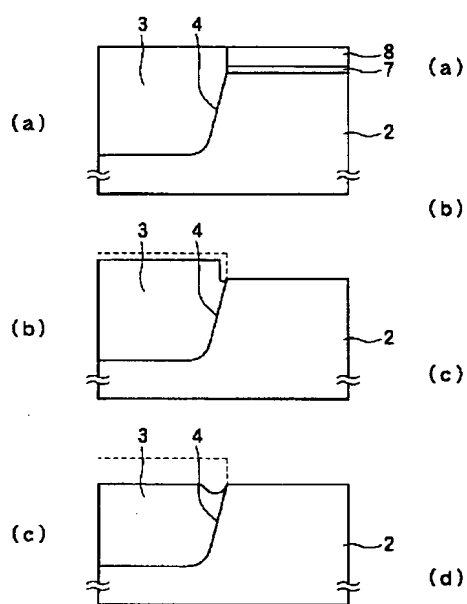
【図5】



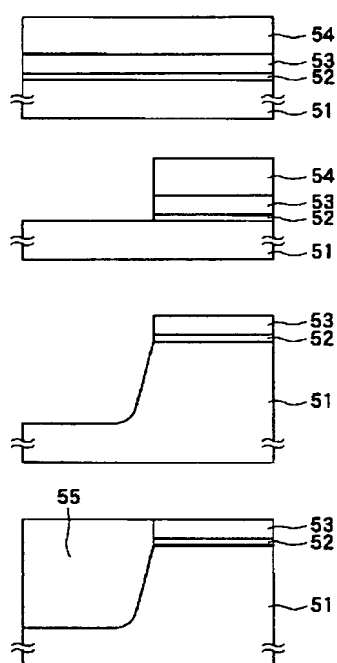
【図6】



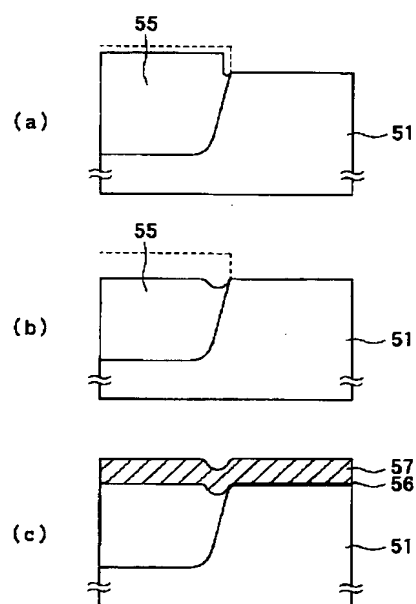
【図 4】



【図 7】



【図 8】



フロントページの続き

F ターム(参考) 5F032 AA39 AA44 AA49 CA17 DA24
 DA33 DA74 DA78
 5F040 DA00 DA19 DC01 EC07 EK05
 FC10 FC26
 5F048 AC06 BB05 BG14